

Departamentul Bazele Electronicii

Concurs pentru ocuparea postului de asistent, poziția 22 din Statul de funcții

Disciplinele postului:

- Circuite Integrate Digitale
- Testare și Testabilitate
- Tehnici de Proiectare VLSI Digitale

Tematica concursului pentru postul de asistent, poziția 22 din statul de funcții al departamentului de Bazele Electronicii

Tematica probei orale:

1. Minimizarea funcțiilor logice: metoda de minimizare *Karnaugh* ([1] pp. 79-91)
2. Hazardul circuitelor combinaționale ([1] pp. 109-118)
3. Circuite logice cu tranzistoare CMOS statice ([1] pp. 288-302)
4. Clase de circuite logice combinaționale: ([1] pp. 146-157)
 - a. Codificatoare-decodificatoare
 - b. Multiplexoare-demultiplexoare
 - c. Generatoare-detectoare de paritate
5. Clase de circuite logice combinaționale: ([1] pp. 157-169)
 - a. Circuite de deplasare
 - b. Comparatoare
 - c. Sumatoare-scăzătoare binare cu transport-împrumut succesiv
6. Metoda efortului logic ([4] pp. 1-21)
7. Problema sincronizării în circuitele secvențiale: ([5] pp. 23-30)
 - a. Modelul analogic pentru un latch metastabil: analiză și expresia timpului de ieșire din metastabilitate
 - b. Fiabilitate și timpul mediu dintre defecțiuni (mean time between failures)
 - c. Sincronizatorul cu două bistabile
8. Modele de defecte logice structurale: ([3] pp. 9-21)
 - a. Modelul *stuck-at*
 - b. Modelul *bridging fault*
 - c. Modelele *tranzistor stuck-on* și *tranzistor stuck-open*

Tematica probei scrise:

Exerciții și probleme din tematica probei orale.

Tematica probei practice:

1. Descrierea Verilog/SystemVerilog pentru un generator de numere Fibonacci, simulare și verificare funcțională ([6] pp. 46-48).
2. Descrierea Verilog/SystemVerilog pentru un sumator binar cu transport succesiv, simulare și verificare funcțională ([6] pp. 33-36, [1] pp. 167-169).

3. Descrierea Verilog/SystemVerilog pentru un comparator cu semn, simulare și verificare funcțională ([6] pp. 35-42, [1] pp. 159-162).
4. Descrierea Verilog/SystemVerilog pentru un numărător binar crescător, simulare și verificare funcțională ([6] pp. 73-81, [2] pp. 127-141).
5. Descrierea Verilog/SystemVerilog pentru un filtru de tip *moving average*, simulare și verificare funcțională ([6] pp. 112-114).
6. Implementarea practică a unei funcții logice utilizând decodificatorul 1 din 10 TTL 7442 și TTL 7420 ([7] pag. 4-37, 4-21).
7. Implementarea practică a unui numărător modulo 10 utilizând numărătorul binar TTL 7493 ([7] pag. 4-120).
8. Implementarea practică a unui generator de semnal periodic utilizând circuitele integrate TTL 7474, 7400, 7410 ([7] pag. 4-3, 4-13, 4-81).

Bibliografie:

- [1] Damian IMBREA - Circuite Logice Combinaționale, Editura „Gheorghe Asachi” Iași, 2004
- [2] Damian IMBREA - Circuite Logice Secvențiale Sincrone, Editura „Politehniun” Iași, 2013
- [3] Damian IMBREA - Testarea și Testabilitatea Sistemelor Digitale, Editura VIE Iași, 2000
- [4] Ivan SUTHERLAND, Robert F. SPROULL, David HARRIS - Logical Effort: Designing Fast CMOS Circuits, Morgan Kaufmann Publishers Inc., 1998
- [5] R. Ginosar - "Metastability and Synchronizers: A Tutorial," in IEEE Design & Test of Computers, vol. 28, no. 5, pp. 23-35, Sept.-Oct. 2011, doi: 10.1109/MDT.2011.113.
- [6] Dan NICULA – Verilog: Carte de învățătură, Editura Universității Transilvania din Brașov, 2019, disponibilă on-line:
https://www.dannicula.ro/books/verilog/verilog_ci.pdf
- [7] Fairchild TTL Databook, 1978, disponibilă on-line:
https://archive.org/details/bitsavers_fairchilddldTTLDataBook_39509923

Decan,

Prof. univ. dr. ing. Daniela Tărniceriu

Director departament,

Șef lucrări univ. dr. ing. Gabriel Bonteanu